

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-355078

(43)Date of publication of application : 24.12.1999

(51)Int.Cl. H03G 3/30  
 H03G 3/20  
 H04B 1/16  
 H04J 13/00

(21)Application number : 10-161226

(71)Applicant : NEC CORP

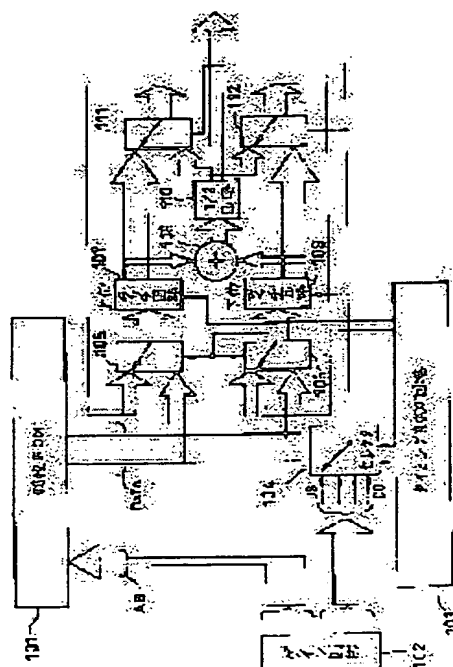
(22)Date of filing : 10.06.1998

(72)Inventor : MARU TSUGIO

**(54) LINEARIZER FOR AUTOMATIC DIGITAL GAIN CONTROL AND AUTOMATIC DIGITAL GAIN CONTROL CIRCUIT USING THE SAME****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a linearizer for automatic digital gain control which has highly accurate linearity over a wide dynamic range and is easily integrated.

**SOLUTION:** Two pieces of data to represent transmission characteristics are outputted from a characteristic ROM 101 according to the values of plural upper bits constituting digital data to be inputted, are held in latch circuits 107, 108 and an average between both pieces of the outputted data of the latch circuits is calculated by an adder 109 and 1/2 circuit 110. This calculation result is inputted in selectors 111 and 112 for feedback. Outputs of the latch circuits 107 and 108 are connected with the other input of the selectors and feed back is performed by successively switching a control signal for selection in the selectors, i.e., data to be inputted in a selector 104.

**LEGAL STATUS**

[Date of request for examination] 10.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3314723

[Date of registration] 07.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-355078

(43)公開日 平成11年(1999)12月24日

(51)IntCl.<sup>8</sup>

識別記号

FI

H03G 3/30  
3/20

H03G 3/30  
3/20

B

A

Z

H04B 1/16

H04B 1/16

R

H04J 13/00

H04J 13/00

A

審査請求 有 請求項の数 8 OL (全 10 頁)

(21)出願番号

特願平10-161226

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成10年(1998)6月10日

(72)発明者 丸 次夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 ▲柳▼川 信

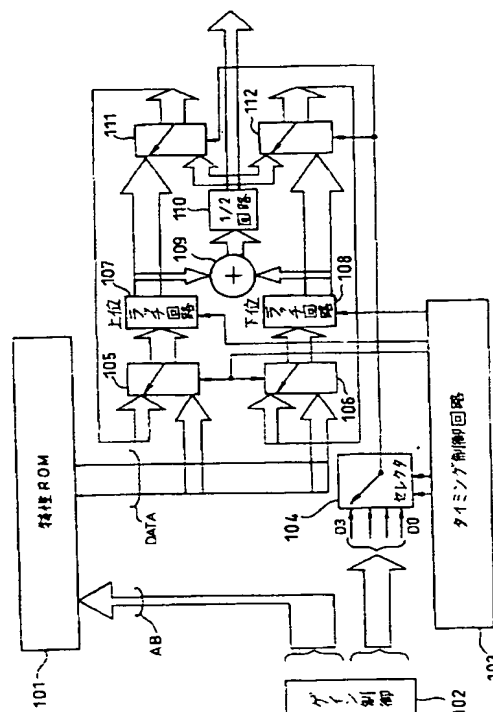
(54)【発明の名称】 デジタル自動利得制御用リニアライザ及びこれを用いたデジタル自動利得制御回路

(57)【要約】

【課題】 広いダイナミックレンジに渡って精度の良い線形性を有し、集積化が容易なデジタル自動利得制御用リニアライザを実現する。

【解決手段】 入力されるデジタルデータを構成する上位複数ビットの値に応じて送信特性を表す2つのデータが特性ROM101から出力され、ラッチ回路107及び108に保持される。加算器109及び1/2回路110によって、これらラッチ回路の両出力データの平均値計算が行われる。この計算結果は、フィードバック用のセクタ111及び112に入力される。ラッチ回路107及び108の出力がこれらセクタのもう一方の入力に接続されている。これらセクタにおけるセレクトのための制御信号、すなわちセクタ104に入力されるデータを、逐次的に切替えて、フィードバックを行う。

【効果】 フィードバック構成なので、回路規模を小さくでき、集積化が容易である。



## 【特許請求の範囲】

【請求項1】 利得を自動的に制御するための可変利得制御素子を、入力デジタルデータを変換したアナログ信号によって制御するためのデジタル自動利得制御用リニアライザであって、前記デジタルデータを構成する上位複数ビットによって表現することのできる2値データの範囲のうちの上端に相当する上端データと下端に相当する下端データとを出力するメモリと、前記上端データ及び前記下端データのいずれか一方のデータと他方のデータとの平均値を算出しこの算出された平均値を前記他方のデータとして平均値算出を所定回数繰返す平均値算出手段とを含み、前記デジタルデータのうち前記上位複数ビットを除く下位ビットの値に対応する回数だけ前記平均値算出手段における平均値算出を繰返し、前記平均値算出手段によって算出される平均値に応じて前記可変利得制御素子を制御するようにしたことを特徴とするデジタル自動利得制御用リニアライザ。

【請求項2】 前記平均値算出手段によって算出される平均値をアナログ信号に変換した変換結果に応じて前記可変利得制御素子を制御するようにしたことを特徴とする請求項1記載のデジタル自動利得制御用リニアライザ。

【請求項3】 前記平均値算出手段は、第1及び第2のラッチ回路と、これらラッチ回路のラッチ出力を加算する加算器と、この加算出力の $1/2$ の値を算出する $1/2$ 算出手段と、この算出結果と前記上端データとを択一的に前記第1のラッチ回路に入力せしめる第1のセレクトと、前記算出結果と前記下端データとを択一的に前記第2のラッチ回路に入力せしめる第2のセレクトとを含み、前記第1及び第2のセレクトのいずれか一方において前記算出結果を選択し続けることによって前記平均値算出を所定回数繰返すことを特徴とする請求項1又は2記載のデジタル自動利得制御用リニアライザ。

【請求項4】 前記入力デジタルデータは、制御すべき利得に対応するデータであることを特徴とする請求項1～3のいずれかに記載のデジタル自動利得制御用リニアライザ。

【請求項5】 前記入力デジタルデータは、周囲の温度に対応するデータであることを特徴とする請求項1～3のいずれかに記載のデジタル自動利得制御用リニアライザ。

【請求項6】 請求項1～5のいずれかに記載のデジタル自動利得制御用リニアライザによって受信利得が制御される可変利得制御素子を含む自動利得制御ループを有することを特徴とするデジタル自動利得制御回路。

【請求項7】 請求項1～5のいずれかに記載のデジタル自動利得制御用リニアライザによって送信利得が制御される可変利得制御素子を含む自動利得制御ループを有することを特徴とするデジタル自動利得制御回路。

【請求項8】 前記自動利得制御ループはループフィル

タを有し、このフィルタの出力を前記デジタル自動利得制御用リニアライザの入力としたことを特徴とする請求項6又は7記載のデジタル自動利得制御回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は移動通信における線形特性の良いデジタル化自動利得制御を行うデジタル自動利得制御用(Auto Gain Control;以下、AGCと略す)用リニアライザに関し、特に直線性の良くない低価格なAGC素子を用いてもプリディストーション機能を持ったデジタルAGC用リニアライザに関する。

## 【0002】

【従来の技術】移動通信システム使用される変復調技術としてFDMA(Frequency Division Multiple Access)、TDMA(Time Division Multiple Access)そしてCDMA(Code Division Multiple Access)がある。どのシステムでも上り信号における電力制御が行われ、セル内、セル外、或いは割付けられチャネル外の電界放射を許容値以下に抑え、システム容量が最大になるよう考慮されている。しかし、特にCDMAシステムでは、電力制御がシステム容量に与える影響が大きく、システム性能を最大限に引き出すためには電力制御が重要で注意深く扱う必要がある。

【0003】一般にデジタル変調のかかった受信信号を受ける移動通信端末は、制御信号によって利得調整される可変利得素子を有している。この利得を受信信号のレベルに応じて調整する処理はAGCと呼ばれている。通常、デジタル移動通信では、可変利得素子の出力の電力を検出することによってAGC(自動利得制御)をかけている。

【0004】通常、検出された値は希望の電力であるリファレンス値と比較され誤差信号を発生させる。誤差信号は可変利得素子の制御のために使われ、希望する電力と一致するように可変利得素子が制御される。

【0005】デジタル化復調において最適なSN比をかせるためには、AGCアンプの動作の線形性をベースバンドにおけるアナログ・デジタル・コンバータ(以下、ADCと略す)のダイナミックレンジぎりぎりまでに保たせる必要がある。このことは一般に、AGCアンプがその全体のダイナミックレンジに渡って動作できる必要があることを示している。

【0006】一方、CDMAの送信AGCは、良く知られるようにオープンループの電力制御と基地局からの指令に基づくクローズドループによる電力制御がある。送信AGCアンプは移動端末のパワーアンプ入力に接続されており、パワーアンプ出力はアンテナ共用器に接続される。

【0007】受信部では、アンテナによって受信された信号がアンテナ共用器を通してロー・ノイズ・アンプ (Low Noise Amplifier; 以下、LNAと略す) に接続され、LNAによって増幅された信号は受信AGC素子に入力される。上述のようにAGC素子は受信信号電力によって制御され、AGC素子の出力はベースバンドへと送られデジタル的に復調される。

【0008】CDMA用移動端末では、送信電力は、オープン・ループ制御では端末のみ推定に基づいて送信電力が決定され、クローズド・ループ制御では接続されている基地局からの指令に基づいて送信電力が決定される。端末のみでのオープン・ループ推定は基地局からの受信電界強度を検出し、上り及び下りの無線回線が同じ状態であるとみなして受信AGC、送信AGCとも同じ制御量で希望の動作ポイントに保つことができる。

【0009】

【発明が解決しようとする課題】しかし、実際の移動端末においては、AGCの動作レンジが80dB〜90dBといった広い範囲に渡る。このため、dB換算における線形性が保たれず、誤差が発生する。したがって、オープン・ループ制御における送信パワーレベルに誤差が生ずる。また、AGCを構成する可変利得素子の温度特性や周波数特性によって利得に変動が生じ、送信AGCと受信AGCの間にばらつきが生じてパワー制御能力に誤差を生じさせる。

【0010】さらにまた、低価格化に適したAGCアンプは可変利得素子の品質が悪く線形性が悪い。また低消費電力化を考えた場合、低消費電力のAGCアンプも同様の傾向がある。以上の理由から、線形性をもったAGCアンプの実現が求められている。

【0011】なお、自動利得制御回路を集積化する場合には、回路面積をできるだけ抑える必要がある。特公平7-20034号公報や特開平8-293748号公報に記載されている自動利得制御回路は面積の削減に限界がある。

【0012】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はCDMA用移動端末等の無線分野で使用される自動利得制御において、広いダイナミックレンジに渡って精度の良い線形性を有し、集積化が容易なデジタル自動利得制御用リニアライザ及びこれを用いたデジタル自動利得制御回路を提供することにある。

【0013】

【課題を解決するための手段】本発明によるデジタルAGC用リニアライザは、利得を自動的に制御するための可変利得制御素子を、入力デジタルデータを変換したアナログ信号によって制御するためのデジタル自動利得制御用リニアライザであって、前記デジタルデータを構成する上位複数ビットによって表現することので

きる2値データの範囲のうちの上端に相当する上端データと下端に相当する下端データとを出力するメモリと、前記上端データ及び前記下端データのいずれか一方のデータと他方のデータとの平均値を算出しこの算出された平均値を前記他方のデータとして平均値算出を所定回数繰返す平均値算出手段とを含み、前記デジタルデータのうち前記上位複数ビットを除く下位ビットの値に対応する回数だけ前記平均値算出手段における平均値算出を繰返し、前記平均値算出手段によって算出される平均値に応じて前記可変利得制御素子を制御するようにしたこととを特徴とする。

【0014】本発明によるデジタル自動利得制御回路は、上記デジタル自動利得制御用リニアライザによって受信利得が制御される可変利得制御素子を含む自動利得制御ループを有することを特徴とする。

【0015】本発明による他のデジタル自動利得制御回路は、上記デジタル自動利得制御用リニアライザによって送信利得が制御される可変利得制御素子を含む自動利得制御ループを有することを特徴とする。

【0016】本発明では、送信AGCと受信AGCを有する移動体通信端末におけるAGCアンプの線形化を目的にしており、送信AGCはパワーアンプへ接続され、受信AGCには受信電界強度に比例した受信信号が入力されている。受信電界検出回路(以下、RSSIと略す)はこの受信AGCに接続されており、RSSI回路はデジタル化されたRSSI情報を発生する。

【0017】RSSI信号は積分器によって積分され、積分結果はデジタルAGCアンプの制御信号として使われる。したがってもし線形性が保たれていたならばこの制御信号レベルがdB値で希望受信電力を保つための受信AGCアンプ利得に比例していることになる。受信AGC用リニアライザはこの積分器に接続されており受信AGC用リニアライザは線形化されたデジタルAGC用制御信号を発生させAGCアンプの可変利得素子の非線形性を補償する役目をもっている。

【0018】受信AGC用リニアライザの出力には、デジタル・アナログ・コンバータ(以下、DACと略す)が接続されており、DACは受信AGC用制御信号をアナログの制御信号に変換し、アナログ信号は受信AGCの可変利得素子に接続されてAGCアンプの利得制御となる。

【0019】送信AGC用リニアライザは受信AGC用リニアライザと同様に、RSSI用積分器に接続されており、送信AGC用リニアライザは送信アンプの非線形性を補償するため積分器出力から線形化された送信AGC用制御信号を作り出す。送信AGC用リニアライザ出力にも、デジタル・アナログ・コンバータが接続されており、この送信AGC用DACによって送信AGC用制御信号をアナログの制御信号に変換して送信AGCの可変利得素子の利得制御となる。

10

20

30

40

50

【0020】本発明のデジタルAGC用リニアライザは、送信AGCと受信AGCを有する移動通信端末に用いられる。その移動通信端末は、デジタル化された受信電界を検出する手段を有する。

【0021】受信AGCのデジタルAGC用リニアライザは、受信特性を表す複数個の値を有し、その受信AGCの制御信号はデジタルAGC用リニアライザの出力によって生成される。受信デジタルAGC用リニアライザは、受信電界の検出出力を元に複数個の値より二つを選択し、検出出力と選択された二つの値とを元にデジタルAGC用リニアライザの出力を決定する。

【0022】また、送信AGCの送信デジタルAGC用リニアライザは、送信特性を表す複数個の値を有し、送信AGCの制御信号は送信デジタルAGC用リニアライザの出力によって生成される。送信デジタルAGC用リニアライザは、受信信号に含まれる端末側送信電力制御信号を元に複数個の値より二つを選択し、その送信電力制御信号と選択された二つの値とを元に送信デジタルAGC用リニアライザの出力を決定する。

【0023】さらに、夫々のAGC用リニアライザ出力は、ADコンバータに入力され、デジタル制御信号がアナログ制御信号に変換される。そして、この変換後のアナログ制御信号によって受信AGC及び送信AGCの利得を制御する。

【0024】なお周囲の温度を検出し、この温度条件もパラメータとして追加しても良い。

【0025】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。以下の説明において参照する各図においては、他の図と同等部分には同一符号が付されている。

【0026】図1は本発明によるデジタルAGC用リニアライザの実施の一形態を示すブロック図であり、本リニアライザをCDMA移動通信端末に適用したものである。同図中、アンテナ共用器2を通じて図示せぬ基地局からの信号はLNA10に入力される。そこで増幅された受信信号は、受信AGC素子11に入力される。このAGC素子11は受信用のデジタルAGC用リニアライザ18の出力によって制御されている。受信AGC素子11からの信号は直交復調器13に入力され、I信号及びQ信号の各信号成分が得られる。ADコンバータ14はこのI信号、Q信号をデジタル信号に変換する。変換されたI信号、Q信号は、逆拡散回路15に入力されると共に、受信電界検出回路17にも入力される。

【0027】受信電界検出回路17は、このデジタル化された直交信号（I信号、Q信号）の二乗和をとり予め決められた時間平均化する。この時間平均化後の出力は積分回路16へと送られる。

【0028】ところで、移動通信端末の場合、小型化、

低消費電力化が重量なファクタであるので、LSI化した時のチップ面積は増大せず、消費電流増加の元となる乗算器の使用はなるべく避けたい。そこで、本実施例では、受信電界検出回路17において、簡単な絶対値回路及びマグネチュードコンパレータによって近似して二乗和を求めている。

【0029】積分回路16では、まず希望の電力であるレファレンス値と比較することによって誤差信号を発生させる。次に、この誤差信号をアキュムレータによる積分回路16で積分する。従来はこの積分結果が受信AGC素子の制御電圧として直接使われていた。この閉じた制御ループ上での積分回路16による積分処理は、ループフィルタの機能を果たすことになる。そして、希望する電力と得られる電力とが一致するように、受信AGC素子11は制御されることになる。

【0030】受信信号をADコンバータ14によって変換するデジタル化復調では、最適なSN比（Signal/Noise）をかせぐためにAGCアンプをベースバンドのダイナミックレンジぎりぎり迄に保たせる必要がある。このことは、AGCアンプがその全体ダイナミックレンジに渡って動作する必要があることを示している。したがって、AGCアンプの線形性が悪いと、適切なレベルダイヤの設定ができないことになる。そこで本発明のデジタルAGC用リニアライザ18が積分回路16とAGC素子11との間に挿入され線形性が保たれるようになっている。

【0031】受信用のデジタルAGC用リニアライザ18の出力にはDAコンバータ12が接続されている。DAコンバータ12は受信AGC用のデジタル制御信号をアナログの制御信号に変換する。変換されたアナログ信号は受信AGC素子11の制御端子に接続され、AGCアンプ10の利得を制御することになる。

【0032】一方、良く知られているように、CDMAの送信AGCの方法には、オープンループの電力制御と、基地局からの指令に基づくクローズドループによる電力制御とがある。拡散回路8によって広帯域化された送信信号はDAコンバータ7によってアナログ信号に変換された後、直交変調器6を経て送信AGC素子5によりその送信電力が制御されパワーアンプ3へ送られる。このパワーアンプ3の出力はアンテナ共用器2に接続されている。

【0033】CDMA用移動端末において、オープンループ制御では端末のみの推定に基づいて送信電力が決定される。一方、クローズドループ制御では接続されている基地局からの指令に基づいて送信電力が決定される。端末のみのオープンループ推定では、基地局からの受信電界強度を検出し、上り及び下りの無線回線が同じであると見なして受信AGC、送信AGCとも同じ制御量で希望の動作ポイントに保つことができる。

【0034】しかし、実際にはAGCの動作レンジが8

0 dB～90 dBといった広範囲に渡るため、dB換算における線形性が保たれず誤差が発生してしまう。その結果オープンループ制御における送信パワーレベルに誤差が生ずる。そこで、本実施形態のデジタルAGC用リニアライザ1を、送信AGCアンプ5と積分回路16との間に挿入することによって、線形性を保つのである。

【0035】なお、ここで、図1においては、積分回路16からではなく、受信リニアライザ18から加算器9に信号線が接続されている。この信号線には、積分回路16の出力が加算器9に殆どそのままスルーで出力されているものとする。また、加算器9はクローズドループ制御時に基地局からの指示に基づいて電力制御を行うために設けられている。

【0036】したがって、本発明のデジタルAGCリニアライザを用いれば、制御信号レベルがdB値で希望受信電力を保つための受信AGCアンプ利得に比例することになる。つまり、デジタルAGC用リニアライザはAGCアンプの非線形性を補償する役目を持っているのである。

【0037】送信用のデジタルAGC用リニアライザ1の出力にはDAコンバータ4が接続されている。DAコンバータ4は送信AGC用のデジタル制御信号をアナログの制御信号に変換する。変換されたアナログ信号は送信AGC素子5の制御端子に接続され、AGCアンプ3の利得を制御することになる。なお、DAコンバータ4は図示せぬストロブ信号が入力された時に、アナログ信号に変換すべきデジタル制御信号が確定するものとする。

【0038】図1中のデジタルAGC用リニアライザ1及び18の構成について図2を参照して説明する。同図に示されているように、デジタルAGC用リニアライザは、入力されるデジタルデータを構成する上位複数ビットの値に応じて送信特性を表す2つのデータを出し力する特性ROM101と、この2つのデータに夫々対応して設けられたセクタ105、106と、このセクタ105、106に夫々対応して設けられ対応するセクタの出力を一時保持するラッチ回路107、108と、これらラッチ回路107、108の出力を加算する加算器109と、この加算器の加算出力の1/2の値を算出する1/2回路110と、この1/2回路110の出力とラッチ回路107の出力とを択一的に出力するセクタ111と、1/2回路110の出力とラッチ回路108の出力とを択一的に出力するセクタ112とを含んで構成されている。

【0039】特性ROM101は、デジタルデータを構成する上位複数ビットによって表現することのできる2値データの範囲のうちの上端に相当する上端データと下端に相当する下端データとを出力する。この特性ROM101に記憶されている送信特性及び受信特性を表す

複数個のデータは、予め決められた間隔の複数個の希望利得入力に対する制御量を測定して得る。

【0040】なお、セクタ111及び112は、入力されるデジタルデータを構成する下位複数ビットの値を元に制御される。

【0041】図2を用いて本発明のデジタルAGC用リニアライザの動作を説明する。図1中の積分回路16から出力されるAGC制御信号は、入力ラッチ回路102のゲイン制御ビット割当て部分に入力されている。ラッチ回路102に入力されたデータのうち、上位4ビットは特性ROM101のアドレスバスABに出力されており、下位4ビットはセクタ104に出力されている。本実施例の場合、AGCアンプの利得は8ビットのストレートバイナリコードで表される。必要なダイナミックレンジは80 dB以上であるので、

“00000000”の時 -45 dB

“11111111”の時 +40 dB

になるように設定されている。

【0042】図3に、本実施例におけるAGC制御電圧とAGCゲイン(dB)との関係が示されている。本実施例の場合には、“00000000”から“11111111”までの256ステップで、-45 dBから+40 dBまでの80 dBのダイナミックレンジとなる。

したがって、1 dBあたり、

$$256/85 = 3 \text{ [ステップ/dB]} \quad \dots (1)$$

となる。よって、3ステップがおおよそ1 dBに相当する。なお、式(1)は近似的に成立する。

【0043】図3に示されているように補間を行うために、-45～+40 dBを16分割した領域を考える。そして、この分割した各領域R0～R15をゲイン制御データの上位4ビットの値nに対応させる。さらに、各領域R0～R15の下端及び上端の利得に夫々対応する制御電圧を測定し、これを上述した特性ROM101に記憶しておく。

【0044】例えば、図3の領域R0(ゲイン制御データの上位4ビットが“0000”)の場合、下端の制御電圧はP(0)、上端はP(1)である。また、領域R10(ゲイン制御データの上位4ビットが“1010”)の場合、下端の制御電圧はP(10)、上端はP(11)である。一般的に書けば、領域Rnの場合、下端の制御電圧はP(n)、上端の制御電圧はP(n+1)となる。なお、上記の制御電圧P(n)はDAコンバータで生成されるアナログ電圧に対応するDAコンバータの入力デジタルデータを指している。この値は、特性ROM101に記憶されている。

【0045】このゲイン制御データの上位4ビットは特性ROM101へのアドレスとして入力され、16分割の内の領域nが決まる。更にROM101から、その領域の下端及び上端の制御データP(n)及びP(n+1)が、データバスDATAを通じて読出される。

10

20

30

40

50

【0046】図2に戻り、タイミング制御回路103によって特性ROM101から制御データP(n)とP(n+1)とを読み出す時、セクタ105、106はデータバスDATA側を選択している状態になっているので、上端P(n+1)はラッチ回路107に、下端P(n)はラッチ回路108に一時記憶される。特性ROM101から下端のデータと上端のデータとを取出した後、セクタ104は、図示せぬシフト回路によってデータD3からD0へと1つずつ逐次的に内部のスイッチを切替える動作を行う。

【0047】このとき、セクタ111は、リニアライザへの入力の下位ビットの内の制御対象ビットが「1」の時にラッチ回路107の出力を選択し、「0」の時に1/2回路110の出力を選択するものとする。また、セクタ112は、リニアライザへの入力の下位ビット内の該制御対象ビットが「0」の時にラッチ回路108の出力を選択し、「0」の時に1/2回路110の出力を選択するものとする。ここで、制御対象ビットは、リニアライザ入力の下位ビットの内のMSB(Most Significant Bit)からLSB(Least Significant Bit)へと順次移すこととする。このような選択制御を逐次的に行うことによってリニアライザ出力を決定するのである。

【0048】ラッチ回路107の出力及びラッチ回路108の出力は、共に加算器109に入力される。加算器109ではラッチ回路107及び108の両出力を加算

$$X(n, m) = P(n) + \{ (m/16) + (1/32) \} \cdot \{ P(n+1) - P(n) \} \quad \dots (2)$$

なお式(2)において、X(n, m)は補間結果を表し、mはゲイン制御データの下位4ビットの値を示している。

【0051】図6を参照して式(2)の逐次処理動作について説明する。ここでは、ゲイン制御データの下位4ビットの値mが15、繰返し回数k=4、入力されるP(n)とP(n+1)との差をΔとする。すると、1回目のフィードバック(k=1)の結果は、P(n) + Δ/2となる。2回目のフィードバック(k=2)の結果は、P(n) + Δ/2 + Δ/2<sup>2</sup>となる。3回目のフィードバック(k=3)の結果は、P(n) + Δ/2 + Δ/2<sup>2</sup> + Δ/2<sup>3</sup>となる。4回目のフィードバック(k=4)の結果は、P(n) + Δ/2 + Δ/2<sup>2</sup> + Δ/2<sup>3</sup> + Δ/2<sup>4</sup>となる。さらに、最小間隔の中点をとるために、Δ/2<sup>5</sup>(本例では1/32)を加える。

【0052】一般化すると、補間結果X(n, m) = P(n) + (m/2<sup>k</sup> + Δ/2<sup>k+1</sup>) · {P(n+1) - P(n)}となる。本例ではP(n) + Δ/2 + Δ/2<sup>2</sup> + Δ/2<sup>3</sup> + Δ/2<sup>4</sup> + Δ/2<sup>5</sup> = P(n) + (15/16 + 1/32) · Δとなる。なお、1/32は最小間隔の中点をとるためのものであるため、必ずしも加え

ずる。この加算結果は1/2回路110に入力され、加算結果の1/2の値が出力される。つまり、加算器109と1/2回路110とで、P(n+1)とP(n)との平均値計算が行われることになる。そして、その平均値の計算結果は、フィードバック用のセクタ111及び112に入力される。

【0049】セクタ111及び112のもう一方の入力には、P(n+1)及びP(n)の値の入ったラッチ回路107の出力及び108の出力が夫々接続されている。また、セクタ111及び112におけるセレクトのための制御信号、すなわちセクタ104に入力されるデータは、逐次的にD3, D2, D1, D0と切替わるものとする。

【0050】一旦特性ROM101の内容P(n+1)とP(n)とを読み込んだ後、セクタ105、106はフィードバック用のセクタ111、112側に切替わる。このため、セクタ104の出力の値によって、ラッチ回路107及び108のどちらか一方は前の値を保持し、他方は一つ前の二つのラッチ回路の値の平均値に更新される。今D3 = "1"とすると、セクタ111、112は図中の上側を選択するように制御されるので、上端P(n+1)は値を維持し、下端P(n)はP(n+1)とP(n)との平均値にその値を更新する。同様に、D2、D1、D0に対して逐次的に処理してゆくと最後に下式で表される結果を得ることができる。

なくても良い。

【0053】以上説明したように、本実施形態のデジタルAGC用リニアライザを用いれば、フィードバック処理を繰返すことにより、LSI化に際しチップ面積は増大せず、消費電流の増大を招く乗算器が不要であり、簡単な加算器及びシフト回路のみで実現できるので、低消費電力で回路規模の小さい携帯端末を提供することができる。

【0054】更に、本発明のデジタルAGC用リニアライザを用いれば、広いダイナミックレンジに渡って精度の良い線形性をもったAGCアンプを提供することができるので、電力制御がシステム容量に与える影響の大きいCDMAシステムであっても適した移動体端末を提供することができる。更に、本発明のデジタルAGC用リニアライザを用いれば、低価格で線形性の悪い低品質な可変利得素子を用いても、広範囲に渡って精度よく線形化することができるので、低価格化を考慮し携帯電話端末に適したAGCアンプを提供することができる。

【0055】更に、本発明のデジタルAGC用リニアライザを用いれば、線形性の悪い低消費電力型の可変利得素子を用いても、広範囲に渡って精度の良い線形化さ

れた制御を行うことができるので使用時間の長い低消費電力に適した携帯電話端末を実現することができる。

【0056】次に、本発明の他の実施形態について図4及び図5を用いて説明する。本実施形態は、動作温度によって可変利得素子の特性が変化する場合における変形例である。

【0057】一般に可変利得素子は温度に対してその特性が大きく変化する。また対象となる信号の周波数帯域によっても特性が異なる。したがって、送信と受信とで、AGCを通過する信号の周波数帯域が異なる場合、個別に温度補正をかける必要がある。

【0058】図4には図1の構成に温度検出器19を追加した場合が示されている。同図において、温度検出器19から出力される温度情報は、受信用のデジタルAGC用リニアライザ18及び送信用のデジタルAGC用リニアライザ1に夫々入力されるものとする。

【0059】図5には入力された温度情報の具体的な処理が示されている。温度情報は一旦ラッチ回路102に保持された後、特性ROM101に対するアドレスバスABの上位のアドレスとして展開される。特性ROM101に対するアドレスバスABの下位のアドレスは、図2の場合と同様に、ゲイン制御データである。

【0060】特性ROM101には、各温度条件に合わせて上述の場合と同様に16分割した領域の下端及び上端の利得を実現する制御電圧の測定データが予め記憶されている。この特性ROM101に記憶されている送信特性及び受信特性を表す複数のデータは、予め決められた間隔の複数の温度条件及び予め決められた間隔の複数の希望利得入力に対する制御量を測定して得る。したがって、この特性ROM101に対するアドレスバスABの上位のアドレス及び下位のアドレスを与えることによって、上述の場合と同様にその温度に合わせた補間データが出力される。

【0061】この出力された補間データはDAコンバータ12、4によってアナログ電圧値に変換され、この変換されたアナログ電圧値によってAGCアンプ11及び5の制御を行っている。なお、受信用のデジタルAGC用リニアライザ18と送信用のデジタルAGC用リニアライザ1とは、特性ROMの記憶内容を除き、同じ回路を使用して構成するものとする。

【0062】以上説明したように、本実施形態のデジタルAGC用リニアライザを用いれば、上述した実施形態の場合と同様に、LSI化に際しチップ面積は増大せず、消費電流の増大を招く乗算器が不要であり、簡単な加算器及びシフト回路のみで実現できるので、低消費電力で回路規模の小さい携帯端末を提供することができる。さらに本実施形態においては、動作温度によって可変利得素子の特性が変化しても広範囲に渡って精度の良い線形化された制御を行うことができるので、使用時間の長い低消費電力に適した携帯電話端末を実現すること

ができる。

【0063】特にCDMAシステムでは、電力制御がシステム容量に与える影響が大きく、システム性能を最大限に引き出す上で、重要なファクタを握る線形精度の良いAGCアンプを本発明により実現することができる。

【0064】また、本発明を用いることにより、低価格で線形性の悪い低品質な可変利得素子を用いても、広いダイナミックレンジに渡って精度良く線形化することができるので、低価格化を考慮した携帯電話端末に適用したAGCアンプを実現することができる。

【0065】さらに本発明を用いることにより、一般に線形性の悪い低消費電力型の可変利得素子を用いても、広い範囲に亘って精度の良い線形化された制御を行うことができるので、使用時間の長い低消費電力に適した携帯電話端末等の無線分野で使用される自動利得制御回路において、広いダイナミックレンジに渡って精度の良い線形性をもったデジタル自動利得制御用リニアライザ及びこれを用いたデジタル自動利得制御回路を実現することができる。

【0066】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0067】(1) 前記可変利得制御素子によって利得が制御された受信信号に対して逆拡散処理を行うようにしたことを特徴とする請求項6記載のデジタル自動利得制御回路。

【0068】(2) 送信すべき送信信号に対して拡散処理を行った後、前記可変利得制御素子によって前記利得を制御するようにしたことを特徴とする請求項7記載のデジタル自動利得制御回路。

【0069】(3) 前記ループフィルタは、積分器であることを特徴とする請求項8記載のデジタル自動利得制御回路。

【0070】

【発明の効果】以上説明したように本発明は、簡単な加算器及びシフト回路のみで逐次処理を行って中点を算出するリニアライザを採用することにより、集積化に際しチップ面積は増大せず、消費電流の増大を招く乗算器が不要であり、簡単な回路構成でデジタル自動利得制御回路を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態によるデジタルAGC用リニアライザの構成を示すブロック図である。

【図2】図1中のAGC用リニアライザの内部構成を示すブロック図である。

【図3】本実施例におけるAGC制御電圧とAGCゲインとの関係を示す図である。

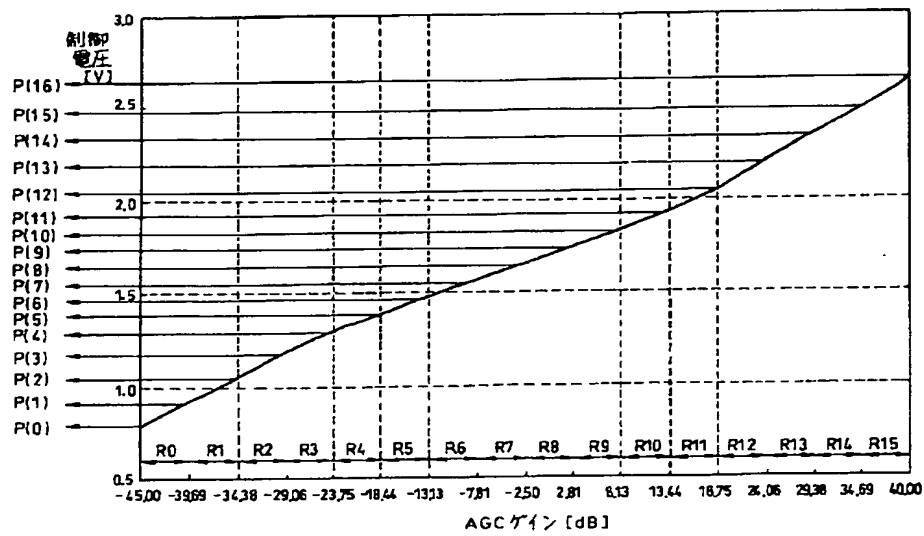
【図4】本発明の第2の実施形態によるデジタルAGC用リニアライザの構成を示すブロック図である。

【図5】図4中のAGC用リニアライザの内部構成を示すブロック図である。

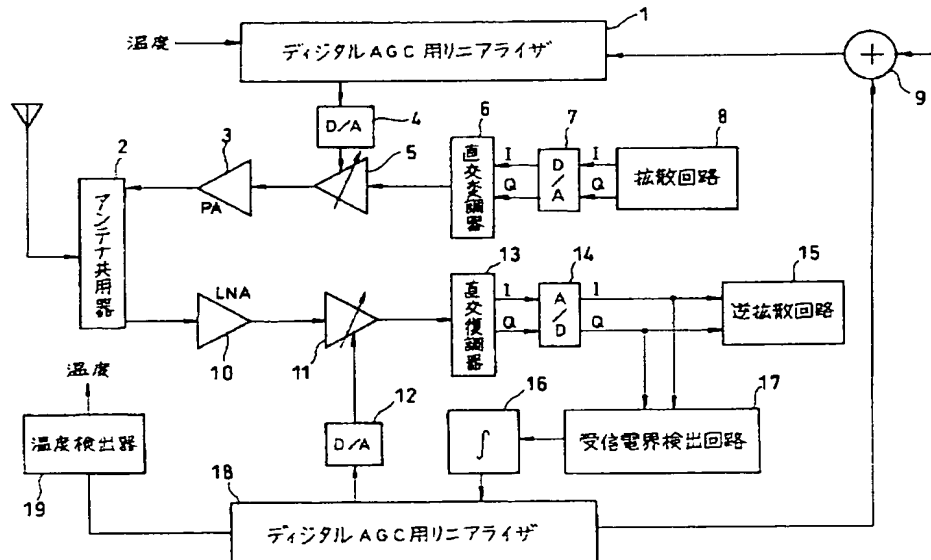




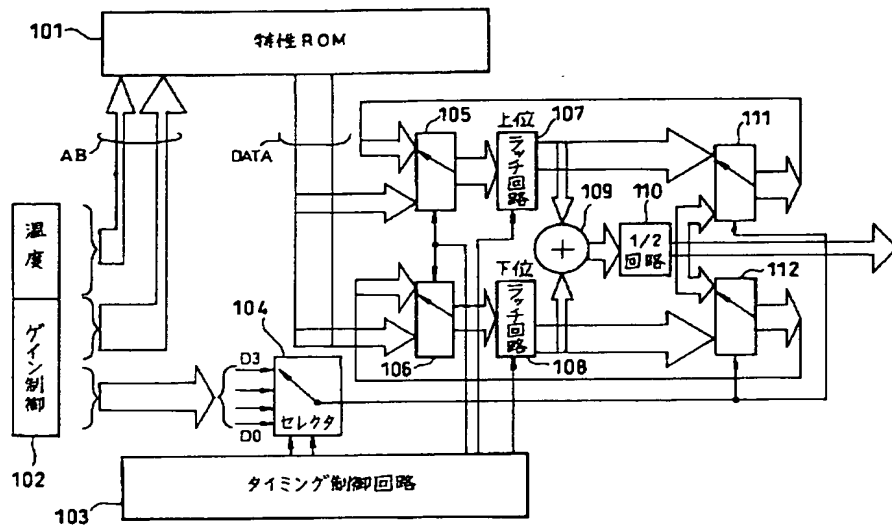
【図 3】



【図 4】



【図 5】



【図 6】

